

Titel: INnovative Plattformen für Elektronische Systeme (INES)

FPGAs sind mikroelektronische Bauelemente, mit denen heutzutage komplexe Multiprozessor-Systems-on-Chip („SoC“) realisiert werden können, die damit „hochinnovative Plattformen für elektronische Systeme“ darstellen. Sie werden in einer Vielzahl von Applikationsdomänen wie in der Telekommunikation aber auch in Bereichen wie Fahrzeug- oder Konsumelektronik verwendet, wobei Marktstudien einen weiterhin steigenden, zukünftigen Bedarf dieser Technologie erwarten. Gerade für KMU-dominierte Länder wie Österreich, eröffnet die FPGA-Technologie die Möglichkeit zur Realisierung von hochkomplexer Elektronik unter Vermeidung der in diesem Bereich mittlerweile exorbitanten Einmalkosten bei der Herstellung anwendungsspezifischer Schaltkreise („ASICs“).

Die Ziele des thematisch im FPGA-Bereich angesiedelten Josef-Ressel-Zentrum „INES“ wurden bereits oben beschrieben. Das Zentrum folgt der im Bereich angewandter Ingenieurwissenschaften üblichen Methodik zur Beantwortung der Forschungsfragen: Detailsurvey (Publikationen, Tools, Referenzdesigns ... aufbauend auf den 260 Quellen im 100-seitigen Proposal) → Verfeinerung/Selektion der im Proposal enthaltenen 80 Research Questions → Detaillierung/Re-Estimation von Aufwandsabschätzung und Projektplan, Durchführung von Referenz- und Proof-of-Concept-Implementierungen (FPGA-Designs/Projekte, Tools, Tool Flows ...) → Evaluierung (Simulationen, Messungen ...) der Implementierungen → Analyse/Reflexion der Ergebnisse samt Dissemination.

Obwohl das Josef-Ressel-Zentrum erst im Juli 2018 gestartet wurde, konnten durch Fortführung bzw. Anknüpfung an vorhandene Aktivitäten und Projekte der Forschungsgruppe rasch erste Ergebnisse erzielt werden:

- Finalisierung/Erweiterung eines von der Forschungsgruppe in einem Vorgängerprojekt entwickelten Open-Source-Tools für die Fehlerinjektion in FPGA-Designs, siehe [2] und [Link](#). Das Tool bietet Features, wie etwa die Skalierbarkeit der für die Fehlerinjektion notwendigen Ressourcen oder die Berücksichtigung physikalischer Location Constraints im Safety-Kontext, wie sie von keinem anderen derzeit verfügbaren industriellen/akademischen Tool weltweit bekannt sind. Zudem ist sämtlicher Quellcode des Tools über die obige Projektwebseite verfügbar, wodurch das Tool von der Community erweitert werden kann.
- Fertigstellung eines Demonstrators für sicherheitskritische Applikationen, auf Basis einer Modelleisenbahnanlage (siehe [1] und [Link zum Video](#)), der auch für ein technisch weniger versiertes Publikum verständlich ist. Der Demonstrator realisiert ein verteiltes System, basierend auf 10 vernetzten FPGA-Plattformen, womit etwa das im vorherigen Punkt genannte Fehlerinjektions-Tool [2] einem breiteren Publikum nahegebracht werden kann.

- Weiterführung von Aktivitäten der Forschungsgruppe im Bereich der hochgenauen Uhrensynchronisation, die etwa Basis von speziellen Automatisierungsanlagen ist, wie sie z.B. auch im Kernforschungszentrum CERN verwendet werden, um nur ein prominentes Beispiel zu nennen. Auch hier konnte der im vorherigen Punkt genannte Demonstrator [1] vorteilhaft als Use Case einer verteilten Applikation verwendet werden. Anhand des Einbaus von Funktionalität zur Uhrensynchronisation in das FPGA-Design des Demonstrators und nachfolgender Messungen wurde ein Proof-of-Concept für ein Patent der Forschungsgruppe erbracht [3], das ein neues Konzept für Test und Debugging von verteilten Systemen beschreibt. Die Ergebnisse werden gerade in einem Paper für das Journal „IEEE Transactions on Industrial Electronics“ dokumentiert.

- Ein weiteres aktuelles Betätigungsfeld im Rahmen des Josef-Ressel-Zentrums ist die Evaluierung und Erweiterung von existierenden Designs, EDA-Werkzeugen, Tool Flows und sonstigen Aktivitäten um die „RISC-V“-Initiative. Dabei handelt es sich um eine offene Befehlssatzarchitektur für CPUs, die ursprünglich von der University of California/Berkeley entwickelt wurde und gerade in letzter Zeit eine immense Zunahme an Aktivitäten erfahren hat (siehe etwa [Link](#)). Auf RISC-V basierende CPU-Cores können beispielsweise auch in FPGAs implementiert werden, was die Möglichkeit eröffnet, lizenzfreie sowie weitgehend tool- und technologieunabhängige Prozessor-Cores zu verwenden. Dies ist einerseits natürlich für die Industrie von hohem Interesse, bietet andererseits aber auch Vorteile für die Lehre im Zusammenhang mit den erweiterbaren quelloffenen Designs. Die Aufarbeitung der genannten Aktivitäten und Publikation in Form eines wissenschaftlichen Survey-Papers erfolgt derzeit gerade von Diplomanden der FH, die eng in das Zentrum eingebunden sind.

Neben diesen ersten technisch-wissenschaftlichen Ergebnissen, dissertieren aktuell zwei Projektteammitglieder im Projektkontext, in Kooperation mit der TU Wien und der Universität Siegen. Zusätzliche Ergebnisse werden in den weiteren 4,5 Jahren der Projektlaufzeit folgen. Letztendlich will sich die FH Technikum Wien durch das Josef-Ressel-Zentrum „INES“ als weit sichtbarer Leuchtturm und starker österreichischer Player im Bereich des FPGA-Designs positionieren, um ein attraktiver Ausbildungsort aber auch Partner für die Industrie zu sein.

[1] Rössler P., et al. 2018: A Model Railway based Demonstrator for Safety-Critical Systems, 12th EWME Workshop, 2018, Braunschweig, Germany, 6 pages.

[2] Fibich C., et al. 2019: FIJI – Fault InJection Instrumenter, EURASIP Journal on Embedded Systems, Springer, 17 pages, accepted for publication in Dec. 2018.

[3] Höller R.: Device For Coordinated Testing And For Trouble-Shooting In Distributed Embedded Microprocessor Systems, Patent No. WO2009097637.